

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

#4

501.41215X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): SASAKURA, et al.  
Serial No.: Not assigned  
Filed: February 20, 2002  
Title: SEMICONDUCTOR INTEGRATED CIRCUIT MODULES,  
MANUFACTURING METHODS AND USAGE THEREOF  
Group: Not assigned



LETTER CLAIMING RIGHT OF PRIORITY

Honorable Commissioner of  
Patents and Trademarks  
Washington, D.C. 20231

February 20, 2002

Sir:

Under the provisions of 35 USC 119 and 37 CFR 1.55, the applicant(s) hereby claim(s) the right of priority based on Japanese Application No.(s) 2001-275887 filed September 12, 2001.

A certified copy of said Japanese Application is attached.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

A handwritten signature in black ink, appearing to be "C. Brundidge", written over a horizontal line.

Carl I. Brundidge  
Registration No. 29,621

CIB/amr  
Attachment  
(703) 312-6600

340/00976

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

JC929 U.S. PTO  
10/077779  
02/20/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 9月12日

出 願 番 号

Application Number:

特願2001-275887

出 願 人

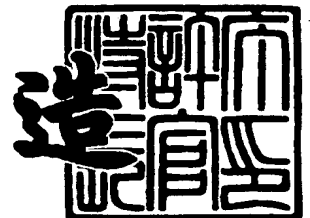
Applicant(s):

株式会社日立製作所

2001年12月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3106812

【書類名】 特許願

【整理番号】 K01009761A

【あて先】 特許庁長官殿

【国際特許分類】 H01U 23/00

【発明者】

【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 RAIDシステム事業部内

【氏名】 笹倉 隆弘

【発明者】

【住所又は居所】 神奈川県小田原市中里 3 2 2 番地 2 号 株式会社日立製作所 RAIDシステム事業部内

【氏名】 阿部 誠一

【特許出願人】

【識別番号】 000005108

【氏名又は名称】 株式会社日立製作所

【代理人】

【識別番号】 100075096

【弁理士】

【氏名又は名称】 作田 康夫

【手数料の表示】

【予納台帳番号】 013088

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路モジュールとその製造方法及び使用方法

【特許請求の範囲】

【請求項 1】

半導体集積回路を封止したパッケージと、当該パッケージに搭載され当該パッケージに給電する電源モジュールを有する半導体集積回路モジュール。

【請求項 2】

請求項 1 記載の半導体集積回路モジュールにおいて、

前記電源モジュールは、電源チップ単体、又は、電源チップ単体及びその周辺部品と、複数の電極を有し、

前記パッケージは、その表面に電極を設け、該電極と前記電源モジュールの電極とを電氣的に接続することで、該パッケージに前記電源モジュールを搭載し、かつ、前記電源モジュールから該パッケージへ給電する半導体集積回路モジュール。

【請求項 3】

半導体集積回路を封止したパッケージであって、当該パッケージに給電する電源モジュールの構成要素を、当該パッケージに設けた半導体集積回路モジュール

【請求項 4】

請求項 2 記載の半導体集積回路モジュールにおいて、

前記パッケージに封止された半導体集積回路と、前記電源モジュールとの間にインタフェースを有し、双方向に制御する機能を有する半導体集積回路モジュール。

【請求項 5】

請求項 4 記載の半導体集積回路モジュールにおいて、

前記電源モジュールが前記パッケージから取り外し可能である半導体集積回路モジュール。

【請求項 6】

請求項 2 記載の半導体集積回路モジュールにおいて、

前記電源モジュールを搭載した状態であっても、前記パッケージに封止された半導体集積回路へ、放熱器を取り付け可能である半導体集積回路モジュール。

【請求項 7】

請求項 6 記載の半導体集積回路モジュールにおいて、  
前記電源モジュールは開口を有し、当該開口を介して、前記放熱器を取り付け可能である半導体集積回路モジュール。

【請求項 8】

請求項 2 記載の半導体集積回路モジュールにおいて、  
前記パッケージの入力電圧より、前記電源モジュールの出力電圧の方が小さい半導体集積回路モジュール。

【請求項 9】

次の 2 つの手順を順序不同で行なうステップと、

- 1) 半導体集積回路をパッケージに固定し、封止すること
- 2) パッケージに放熱板を設けること

前記パッケージに給電する電源モジュールを、前記パッケージの表面にほぼ垂直な方向から、前記放熱板を介して、搭載するステップとを有する半導体集積回路モジュールの製造方法。

【請求項 10】

半導体集積回路をパッケージに固定し、封止するステップと、  
前記パッケージに給電する電源モジュールを、前記パッケージの表面にほぼ垂直な方向から、搭載するステップとを有する半導体集積回路モジュールの製造方法。

【請求項 11】

請求項 10 記載の半導体集積回路モジュールの製造方法において、  
更に、前記パッケージに、前記電源モジュールに設けられた開口を介して、放熱板を設けるステップとを有する半導体集積回路モジュールの製造方法。

【請求項 12】

次の 3 つの手順を順序不同で行なうステップを有する半導体集積回路モジュールの製造方法。

- 1) パッケージに少なくとも2系統の配線を設けること
- 2) 半導体集積回路をパッケージの1つの系統の配線に固定し、封止すること
- 3) パッケージに給電する電源モジュールの構成要素を、前記パッケージのもう1つの系統の配線に接続すること

【請求項13】

請求項12記載の半導体集積回路モジュールの製造方法において、更に、前記パッケージに放熱板を設けるステップを有する半導体集積回路モジュールの製造方法。

【請求項14】

請求項9、10、又は12記載のいずれか1つの半導体集積回路モジュールの製造方法において、

半導体集積回路をパッケージに固定する前に、

当該半導体集積回路の内部に、半導体集積回路モジュールへ供給される電源と、前記半導体集積回路へ供給される電源との双方を監視する電圧変動検出回路部を設けるステップ有する半導体集積回路モジュールの製造方法。

【請求項15】

半導体集積回路を封止したパッケージと、当該パッケージに搭載され当該パッケージに給電する電源モジュールを有する半導体集積回路モジュールの使用方法であって、

電源モジュールから半導体集積回路に対し第1の電圧が供給されるステップと

半導体集積回路が、スタートアップシーケンスを開始するステップと、

半導体集積回路が、電源モジュールへ第1の制御信号を出力するステップと、

電源モジュールが、第1の制御信号に応答して、半導体集積回路に対し、第2の電圧を出力するステップとを含む半導体集積回路モジュールの使用方法。

【請求項16】

半導体集積回路を封止したパッケージと、当該パッケージに搭載され当該パッケージに給電する電源モジュールを有する半導体集積回路モジュールの使用方法

であって、

電源モジュールから半導体集積回路に対し第 1 の電圧が供給されるステップと

半導体集積回路が、スタートアップシーケンスを開始するステップと、

電源モジュールが、半導体集積回路に対し、第 3 の制御信号を出力するステップと、

半導体集積回路が、第 3 の制御信号を受信し、シャットダウン処理を行うステップとを含む半導体集積回路モジュールの使用方法。

#### 【発明の詳細な説明】

##### 【0001】

##### 【発明の属する技術分野】

本発明は、半導体集積回路又は半導体チップを収めたパッケージ及びこれに給電する電源モジュールに関し、特に、そのパッケージの表面に垂直な方向に近接して設けた電源モジュールを有する半導体集積回路モジュールに関する。

##### 【0002】

##### 【従来の技術】

近年の半導体集積回路（LSI）の進歩はめざましく、LSIチップは小型化／高集積化が要求されているため、LSI製造プロセスの微細化が進んでいる。それに伴い、LSIチップへ供給する電源電圧は従来の5Vから3.3V、2.5Vと低電圧化し、最近では1.5V以下といった電圧で動作するLSIやICが登場してきた。

##### 【0003】

LSI等へ供給する電源電圧の低下によりLSI等の消費電力が小さくできるといった利点がある一方で、従来は問題にならなかった程度の電源変動がLSIチップの動作に影響する問題も発生している。この問題を解決するため、特開平11-177015公報や特開2001-68583公報記載の技術は、半導体パッケージ上面または近傍にバイパスコンデンサなどの電子部品を搭載している。

##### 【0004】



また、従来の5V単一電源から低電圧化が進むにつれ、ひとつのLSIパッケージに対して、これに供給する複数の電源電圧が必要となったり、LSIやICによって必要な電源電圧が異なるため、複数のLSIパッケージが搭載された基板（プリント配線板、プリント配線ボード）の上に、複数の電源を搭載する必要がでてきた。

## 【0005】

## 【発明が解決しようとする課題】

特開平11-177015公報や特開2001-68583公報記載の技術では、バイパスコンデンサとLSIチップの距離を縮めることにより電源変動の影響を少なくすることはできるが、電源と、その負荷となるLSIチップとの間の給電距離を縮めることができない。このため、電源の低電圧化の傾向と相俟って、給電経路から電磁ノイズが発生しやすく、また、外部からの電磁ノイズの影響を受けやすい。

## 【0006】

更に、複数の電源電圧を必要とする基板では、相互にノイズの影響を受けやすいばかりでなく、基板の実装効率も悪くなってしまう。

## 【0007】

## 【課題を解決するための手段】

半導体集積回路（IC、LSI）を収納し、又は、封止するパッケージの上に、パッケージの表面に垂直な方向に、電源モジュールを搭載する。電源モジュールのピン配置を規格化する。パッケージとこれに近接配置された電源モジュールとを半導体集積回路モジュールとして取り扱う。LSI等のチップの内部に設けられた電圧変動検出回路部に、電源モジュールの入出力電圧等の信号を入力する。

## 【0008】

この結果、電源モジュールとその負荷となるLSI等のチップとの給電距離を縮めることが可能なため、電源ノイズの放射を低減できる。また、給電距離を縮めることで給電ラインの抵抗及びインダクタンスが小さくなるので、電源モジュールの電源部の効率が高まり、電源電圧の変動が少なくなり、高速応答が可能と

なる。

#### 【0009】

更に、LSIパッケージを複数有する基板において、それぞれのパッケージに必要な電源モジュールを個々のパッケージが搭載できるので、これらを半導体集積回路モジュールとして取り扱うことで、基板上に必要な電源の種類（電圧種）を減らすことができ、基板の実装効率が向上する。また、電源が1種類の場合でも、電源モジュールをLSIパッケージ上面に実装できるので、基板の実装効率が向上する。

#### 【0010】

##### 【発明の実施の形態】

A) はじめに図12を用いて従来技術との差異を説明し、次に図1から図11を用いて本発明を説明する。

図12の右側に、本発明の実施の形態である、LSIパッケージ13の表面に垂直な方向に電源モジュール11を搭載し、更に、これらを基板16に配置した構造を示す。LSIパッケージ13はLSIチップ19を収納しており、モジュール11からチップ19を経てモジュール11に戻る給電経路は図示されるように短くなっている。また、パッケージ13のシールド面に近接してモジュール11が設けられており、モジュール11からの電磁ノイズの不要輻射を有効に抑制する構成となっている。

#### 【0011】

図12の左側に、従来の構造を示す。つまり図12の左側では、電源モジュール11とLSIパッケージ13が、それぞれ、基板16に実装されている。このように電源モジュール11をLSIパッケージ13に近接して配置しても、基板16の内層321、322を介して給電する距離が必要となる。

#### 【0012】

この場合、電源モジュール11からLSIチップ19を経て、電源モジュール11に戻る給電経路は図示されるように、図12の右側の構造に比べて長くなる。この給電経路は、所定の周波数の電磁波に対してはアンテナに等価であり、モジュール11やチップ19を電磁ノイズ源とすれば、不要な電磁波を放射する経

路となる。逆に、所定の周波数の電磁波を受信し、L S Iチップの動作に影響を与えることにもなる。

## 【 0 0 1 3 】

図 1 2 の右側に示す構造とすることで、給電距離を従来の構成より格段に短縮することができ、電源ノイズの低減、また、電源部の高効率・高速応答、放射電磁界の低減が実現できる。

## 【 0 0 1 4 】

近年ではG H zオーダで動作するL S Iチップもあり、数c mの給電経路はG H zオーダのアンテナに等価になる恐れもある。しかし、L S Iチップが発生するG H zオーダの電磁波は、電源モジュールの動作に悪影響を及ぼさない。なぜなら1) 電源モジュール自体がG H zオーダの電磁波に対して応答できないこと、かつ、2) 電源モジュールの回路自体がコモンモードで遮蔽されており、外部からの電磁波の影響を受けにくいこと等の理由による。

よって、図 1 2 の右側の構成により、G H zオーダで動作するL S Iチップの上に電源モジュールを搭載しても、特に問題は生じない。

## 【 0 0 1 5 】

B) 次に本発明の実施の形態を、図 1 から図 1 1 を用いて説明する。

図 1 及び図 2 は、本発明を適用したL S Iモジュール 2 3 の第 1 の実施例である。図 2 は図 1 の断面図となっている。

## 【 0 0 1 6 】

ヒートスプレッダ 2 8 に、電源モジュール 1 1 を取り付ける穴を設け、モジュール 1 1 のリードがL S Iパッケージ 2 9 の上面にある電極 1 2 (図示せず) に接続できるよう構成している。L S Iパッケージ 2 9 は、その製造の初期の段階からヒートスプレッダ 2 8 を設けた基板構成とし、上記の穴を開けても良い。尚、ヒートスプレッダ 2 8 や、後述のヒートシンク 1 7 は、パッケージ又はL S Iチップの熱を放出する放熱板の作用を有する。

## 【 0 0 1 7 】

スルーホール 3 0 1 (図 2) は、半田ボール 1 8 1 と電極 1 2 1 を接続している。これにより、電源モジュール 1 1 へ入力電力を供給し、電源モジュール 1 1

により規定された電圧 $V_{m0}$ が、電極122とスルーホール302、ボンディングワイヤ156を介してLSIチップ19へ供給される。これにより、LSIチップ19への給電距離は従来技術と比較して短くなるので、電源ノイズの低減、また、電源部の高効率・高速応答、放射電磁界の低減が実現できる。

## 【0018】

尚、チップ19は銀ペースト31（図2）によりヒートスプレッダ28に固定され、ボンディングワイヤ153～156により、LSIパッケージ13と所定の電氣的接続を行なった後、チップ封止樹脂22を用いてパッケージ13に封止され、収納されている。

## 【0019】

また、LSIチップ19と電源モジュール11の間にヒートスプレッダ28があり、これが電磁シールドの役割も果たすため、チップ19は電源モジュール11によるノイズの影響を受けにくくなっている。

## 【0020】

図3、図4は本発明のLSIモジュール23の第2の実施の態様である。図4は図3の断面図となっている。電源モジュール11には、その中央に開口が設けられ、ヒートシンク17は、その開口を介して、電源モジュール11の負荷であるLSIチップ19に取り付けられている（図4）。チップ19はチップ封止樹脂23によりLSIパッケージ13に固定されている。

## 【0021】

電源モジュール11とLSIパッケージ13は、半田ボール182（図4）を介して接続される。これにより、LSIチップ19の放熱を妨げることなく電源モジュール11をLSIパッケージ13に搭載することができる。尚、図5に、LSIチップ19の発熱がヒートシンク17を必要としない場合の、LSIモジュール23の外観を示す。LSIチップの発熱が少ない場合には、第1又は第3の実施例に示すLSIモジュール構成とすれば、電磁ノイズの不要輻射をより効果的に抑制することができる。

## 【0022】

図6、図7に、本発明を適用したLSIモジュール23の第3の実施例を示す

。LSIパッケージ13の上面にある電極12を介して電氣的接続を行いつつ、電源モジュール11を搭載する。

## 【0023】

ボンディングワイヤ151（図7）は、LSIリードピン14と電極12を接続している。これにより、電源モジュール11への入力となる電力を供給し、電源モジュール11により規定された出力電力が、電極12とLSIチップ19間を接続するボンディングワイヤ152を介してLSIチップ19へ供給される。

## 【0024】

これにより、LSIチップ19への給電距離は従来と比較して短くなるので、電源ノイズの低減、また、電源部の高効率・高速応答、放射電磁界の低減が実現できる。

## 【0025】

図8に示すように、電極12のパターンを共通化しておけば、これらに接続されるべく規格化されたピン配置を有する電源モジュール11を、他の種類のICやLSIパッケージ13に搭載でき、部品共通化によるコスト低減の効果がある。

## 【0026】

また、電源モジュール11とLSIパッケージ13を、半田接続、ソケットその他容易に取り付け取り外し可能な接続としておけば、LSIモジュール23の製造中または製造後に、電源モジュール11に不具合が発生しても、モジュール11のみの交換が可能となるので、モジュール23の製造コストを低減することができる。

## 【0027】

図9に、本発明を適用したLSIモジュール23の第4の実施例を示す。電源モジュール構成要素201～204を、LSIパッケージ13の上に配置した。この構成によっても、第1の実施例と同様に、LSIチップ19の放熱を妨げることはない。但し、本発明が適用される環境下では、LSIパッケージ13で必要とされる電源の電圧 $V_p$ は、電源モジュール11の出力電圧 $V_{mo}$ であり、電源モジュール11の入力電圧 $V_{mi}$ より低いことが通常となる。

## 【 0 0 2 8 】

このため、1) L S I パッケージ 1 3 を単に通過した  $V_{mi}$  なる電圧にパッケージ 1 3 が耐え得る構造となっていること、2)  $V_{mi}$  なる入力電圧は、L S I パッケージ 1 3 の電源モジュール構成要素 2 0 1 ~ 2 0 4 のみに印加され、パッケージ 1 3 の他の電子素子に印加されないこと、3) 電源モジュール 1 1 の出力電圧  $V_{mo}$  のみが、L S I パッケージ 1 3 の他の電子素子に印加されるようパッケージ 1 3 が構成されていること等が条件となる。

## 【 0 0 2 9 】

L S I チップ 1 9 の入力電圧が 5 V から 3 . 3 V 、 2 . 5 V と低電圧化しており、このような L S I チップ 1 9 を製造するプロセス技術と、電源モジュール 1 1 を製造するプロセス技術は通常異なり、L S I チップ 1 9 は、電源モジュール 1 1 へ印加される  $V_{mi}$  なる電圧に耐えられない。このため、L S I パッケージ 1 3 の配線構造により、チップ 1 9 とモジュール構成要素 2 0 1 ~ 2 0 4 を絶縁する必要があるためである。

## 【 0 0 3 0 】

図 1 0 は、本発明を適用した L S I モジュール 2 3 の第 5 の実施例である。L S I チップ 1 9 に対する電源供給ラインの電源変動の許容範囲は、一般に、基準値の 5 ~ 1 0 % 以内である。従来技術では、L S I モジュールに電源モジュール 1 1 が搭載されていなかったため、L S I モジュールに対する電源変動の許容範囲は、L S I チップ 1 9 に対する電源変動の許容範囲と等しくなる。本発明を適用すれば、L S I モジュール 2 3 に対する電源供給は、電源モジュール 1 1 を経由して L S I チップ 1 9 に送られるので、L S I チップ 1 9 に対する電源変動の許容範囲は、電源モジュール 1 1 に対する電源変動の許容範囲と為し得る。

## 【 0 0 3 1 】

電源モジュール 1 1 に対する電源変動の許容範囲は、一般に、基準値の 1 0 ~ 2 0 % 以内で良いため、L S I チップ 1 9 に対する電源変動の許容範囲が広がり、L S I モジュール 2 3 の動作範囲が向上する。また、電源変動を検出するために L S I チップ 1 9 の内部に設けられた、電圧変動検出回路部 2 7 は、L S I チップ 1 9 に対する電源供給ライン 2 5 だけでなく、L S I モジュールに対する電

源供給ライン 2 4 を監視すること、つまり電圧変動検出用ライン 2 6 を設けて、チップ 1 9 に印加される異常電圧を早期に検出する。

【 0 0 3 2 】

図 1 1 は、図 1 0 の L S I モジュール 2 3 における、L S I チップ 1 9 と電源モジュール 1 1 間の双方向制御の方法を説明するフローチャートである。

【 0 0 3 3 】

電源モジュール 1 1 から電源電圧 1 が供給されると、L S I チップ 1 9 は、スタートアップシーケンスを開始する。ここで、L S I チップ 1 9 が高速動作を必要としているために通常より高めの電圧が必要であるときは、L S I チップ 1 9 から電源モジュール 1 1 へ制御信号 1 を出力する。

【 0 0 3 4 】

電源モジュール 1 1 は、制御信号 1 を受信し、要求された電源電圧 2 を出力する。また逆に、L S I チップ 1 9 が、低消費電力モードになり通常より低めの電圧でよい場合には、L S I チップ 1 9 から電源モジュール 1 1 へ制御信号 2 を出力する。電源モジュール 1 1 は、制御信号 2 を受信し、要求された電源電圧 3 を出力する。

【 0 0 3 5 】

さらに、電源モジュール 1 1 が異常を検出した場合には、電源モジュール 1 1 から L S I チップ 1 9 に対し制御信号 3 を出力する。L S I チップ 1 9 は、制御信号 3 を受信し、シャットダウン処理を行う。

【 0 0 3 6 】

C) 次に、本発明を適用した半導体集積回路モジュールの製造方法について簡単に説明する。

1) L S I パッケージと、電源モジュールを用意する。

L S I パッケージは、第 1 の実施例 (図 1) で示すような、ヒートスプレッダ 2 8 を表面に有し、所定の個所に、電氣的接続を行なうための穴がもうけられている。

【 0 0 3 7 】

これらの電氣的接続は、複数の電源モジュールと接続可能とするため、接続パ

ターンやピン配置を共通化、規格化しておく。

また、第2の実施例（図3）に示すように、ヒートシンク17を取り付け可能であってもよい。LSIパッケージの発熱が少なければ、第3の実施例（図6）のように、ヒートシンクやヒートスプレッダを設けなくとも良い。

【0038】

第4の実施例（図9）の場合には、パッケージ13における、電源モジュールの配線とLSIチップの配線とは、十分な絶縁がなされる。また、LSIチップ内部に、電圧変動検出回路部27を設けておく。

【0039】

電源モジュールは、第1の実施例のように、ピンによりLSIパッケージ29に接続されてもよいし、第2の実施例のように、半田ボールにより182により接続されてもよい。パッケージの発熱量に応じて、適宜、ヒートシンク17をパッケージに取り付けるための開口を設ける。第4の実施例を製造するためには、パッケージ13において、電源モジュールのための配線が、必要な電源入出力を除き、LSIチップの配線と絶縁されている必要がある。

【0040】

2) LSIパッケージと、電源モジュールとを、これらが搭載される基板の実装効率を落とさぬため、これらを重ねて基板に搭載する。

本発明を適用した実施例では、電源モジュールがLSIパッケージの鉛直上面に積み重ねられているが、電源モジュール上にLSIパッケージを積んでも良い。この場合、電源モジュールの配線と、LSIチップの配線とを絶縁し、電源モジュールを経由して基板に電氣的接続がなされるような、バイパス線路を設ける必要がある。

【0041】

【発明の効果】

電源ノイズを低減でき、電源部の高効率・高速応答、さらに電磁波の不要輻射を低減できる。

【0042】

電源モジュールとその負荷となるLSI等のチップとの給電距離を縮めること



が可能なため、電源ノイズの放射を低減できる。

給電距離を縮めることで給電ラインの抵抗及びインダクタンスが小さくなるので、電源モジュールの電源部の効率が高まり、電源電圧の変動が少なくなり、高速応答が可能となる。

【0043】

また、LSIパッケージを複数有する基板において、それぞれのパッケージに必要な電源モジュールを個々のパッケージが搭載できるので、これらを半導体集積回路モジュールとして取り扱うことで、基板上に必要な電源の種類（電圧種）を減らすことができ、電源モジュール以外の電子回路を搭載する、基板の実装効率が向上する。

電源が1種類の場合でも、電源モジュールをLSIパッケージ上面に実装できるので、基板の実装効率が向上する。

これにより基板の表面及び内部の電源プレーンを1面とでき、基板を安価に製造できる。

【0044】

更に、電源モジュールのピン配置を共通化することで、電源モジュールとLSIパッケージの規格化ができるため、LSIパッケージごとに電源モジュールを設計する必要がなくなり、設計工数を削減し、製造原価を低減することができる。

【0045】

【図面の簡単な説明】

【図1】

本発明を適用した第1の実施例であるLSIモジュールを示す概念図である。

【図2】

図1のLSIモジュールの縦断面を示す図である。

【図3】

本発明を適用した第2の実施例であるLSIモジュールを示す概念図である。

【図4】

図3のLSIモジュールの縦断面を示す図である。

【図 5】

図 3 の L S I モジュールの変形例を示す概念図である。

【図 6】

本発明を適用した第 3 の実施例である L S I モジュールを示す概念図である。

【図 7】

図 6 の L S I モジュールの縦断面を示す図である。

【図 8】

図 6 の L S I モジュールのピン配置の規格化を示す概念図である。

【図 9】

本発明を適用した第 4 の実施例である L S I モジュールを示す概念図である。

【図 10】

本発明を適用した第 5 の実施例である L S I モジュールを示す概念図である。

【図 11】

図 10 の L S I モジュールにおける、L S I チップと電源モジュールとの間の制御方法を説明するフローチャートである。

【図 12】

本発明を適用した L S I モジュールと、従来技術との差異を説明するための図である。

【符号の説明】

11…電源モジュール

12、121～122…電極

13…L S I パッケージ                      14…L S I リードピン

15.1～15.6…ボンディングワイヤ

16…基板                                      17…ヒートシンク

18.1～18.2…半田ボール              19…L S I チップ

20.1～20.4…電源モジュール構成要素

22…チップ封止樹脂                      23…L S I モジュール

24…L S I モジュールに対する電源供給ライン

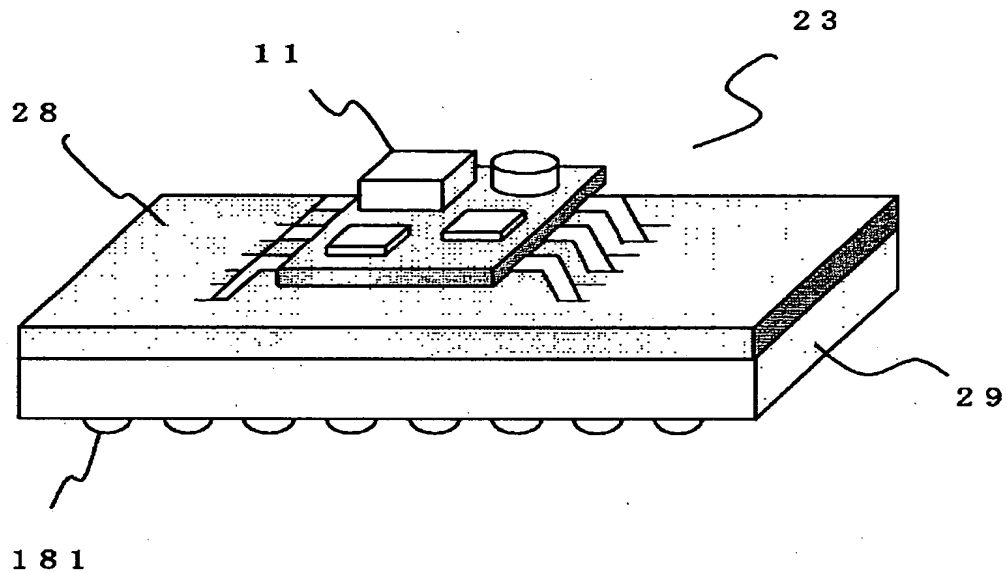
25…L S I チップに対する電源供給ライン

- 2 6 …電圧変動検出用ライン
- 2 7 …電圧変動検出回路部
- 2 8 …ヒートスプレッダ
- 2 9 …L S I パッケージ（基板構成）
- 3 0 1、3 0 2 …スルーホール
- 3 1 …銀ペースト
- 3 2 1 ～ 3 2 2 …基板の内層

【書類名】 図面

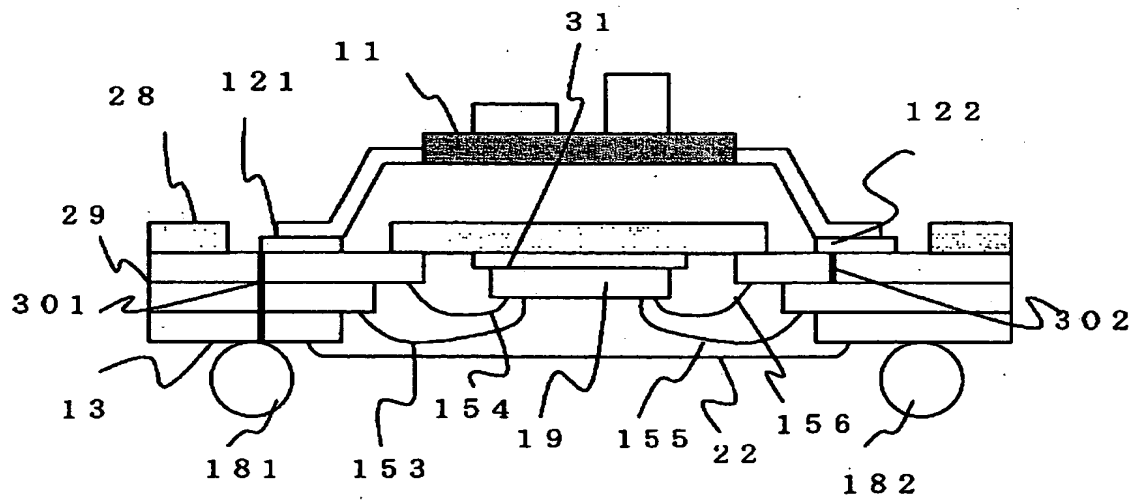
【図1】

図1

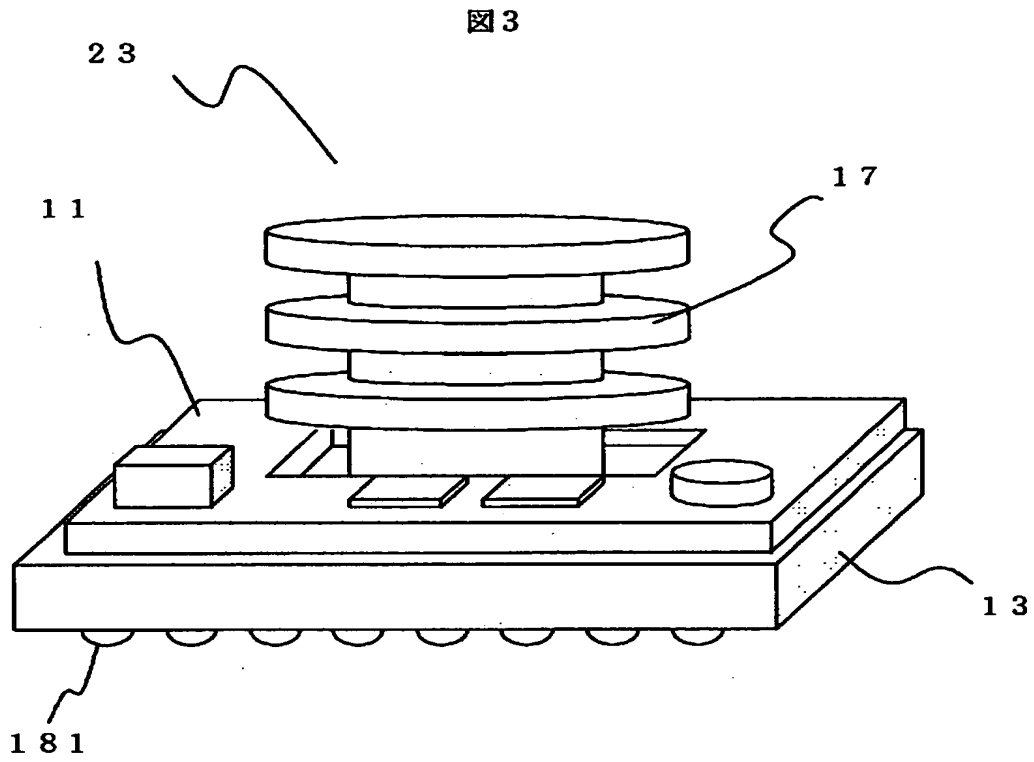


【図2】

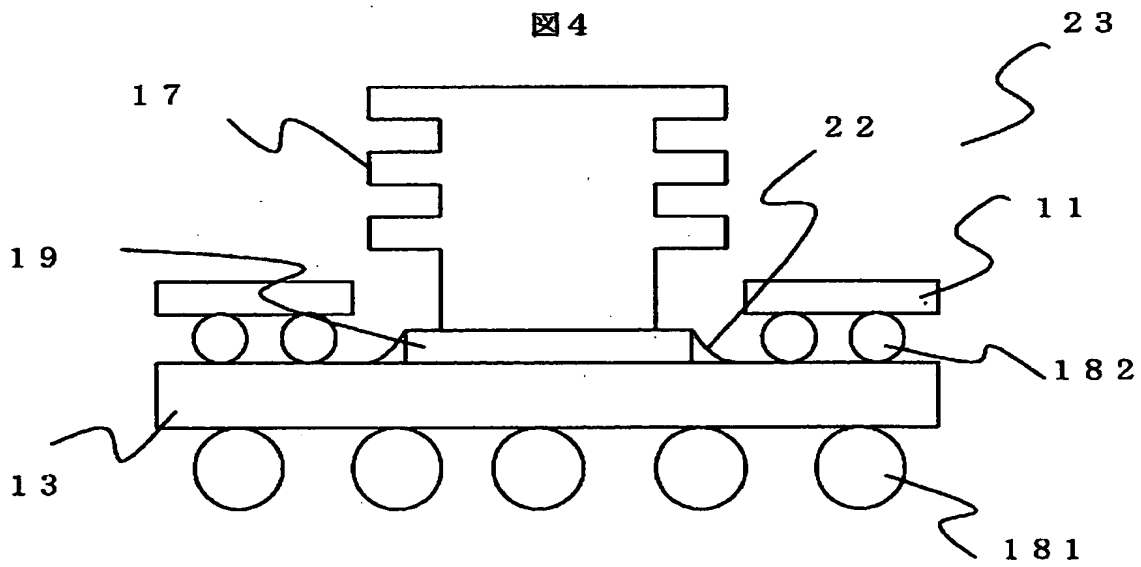
図2



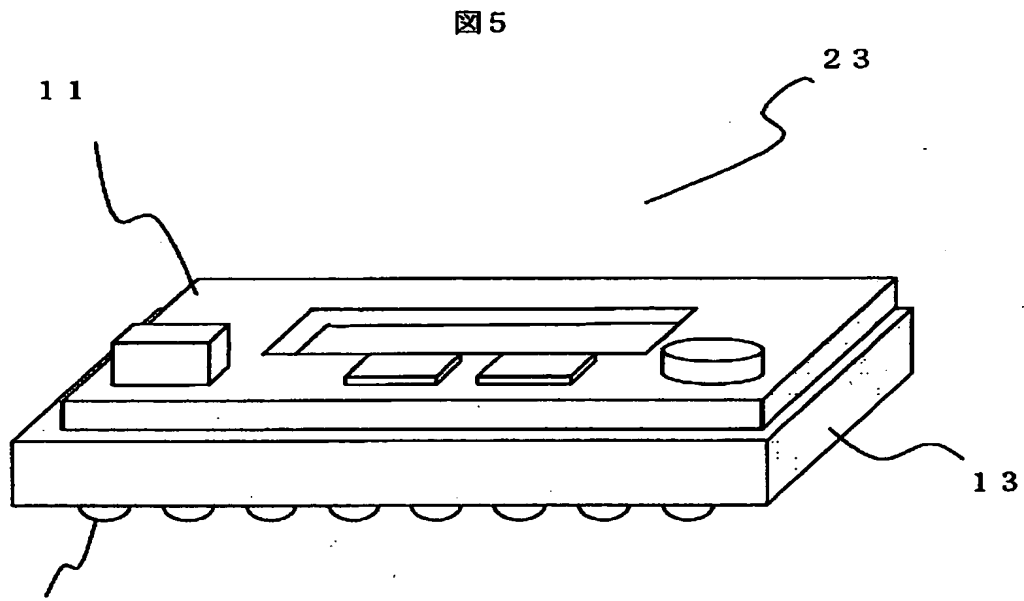
【図3】



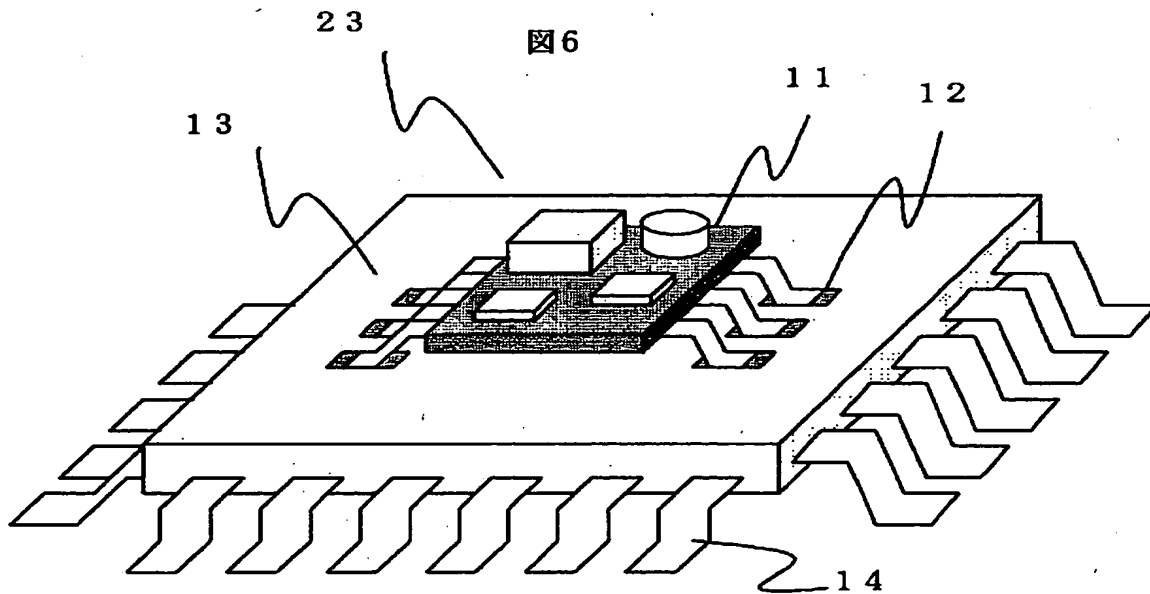
【図4】



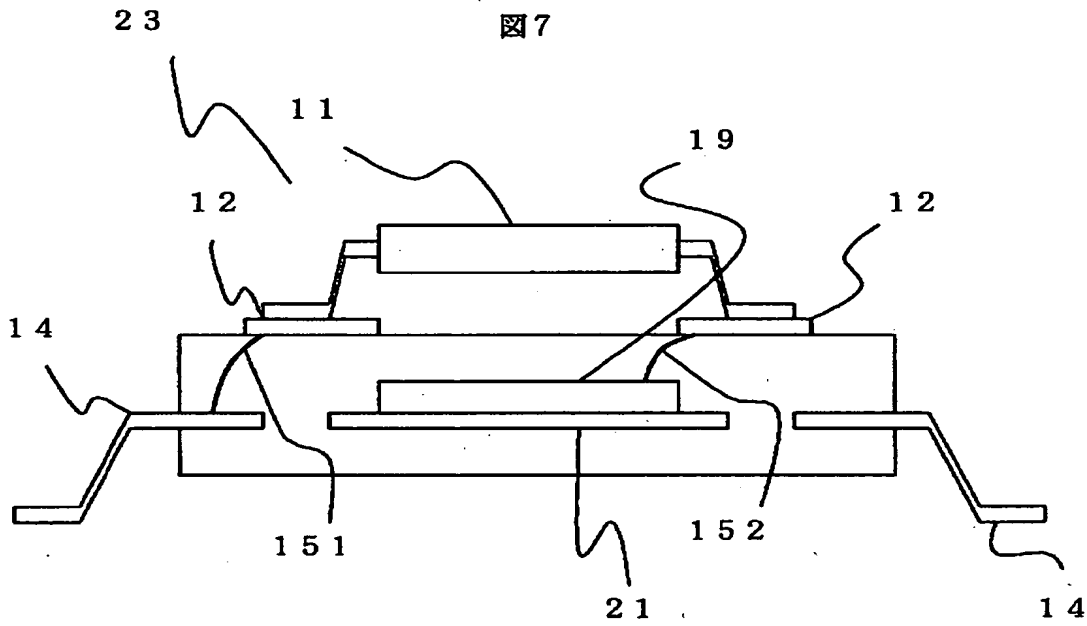
【図5】



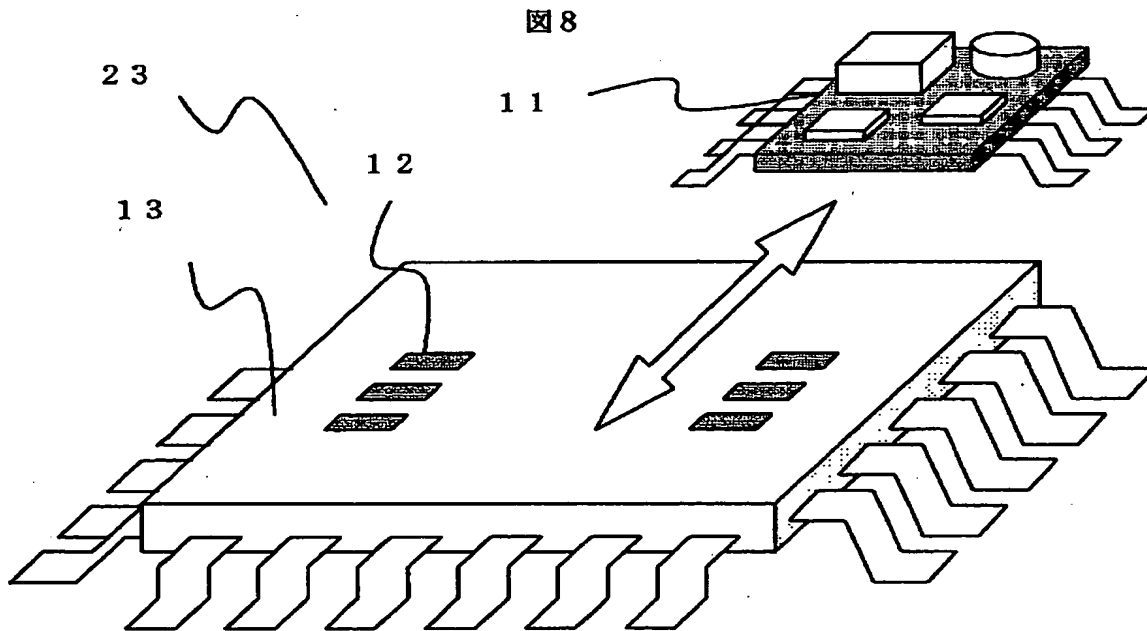
【図6】



【図 7】

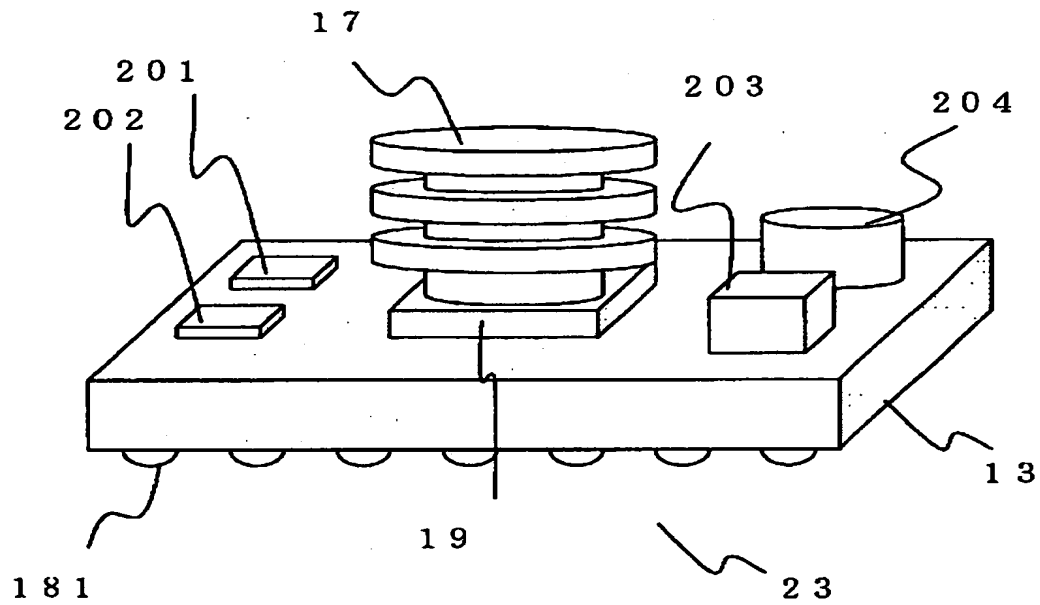


【図 8】



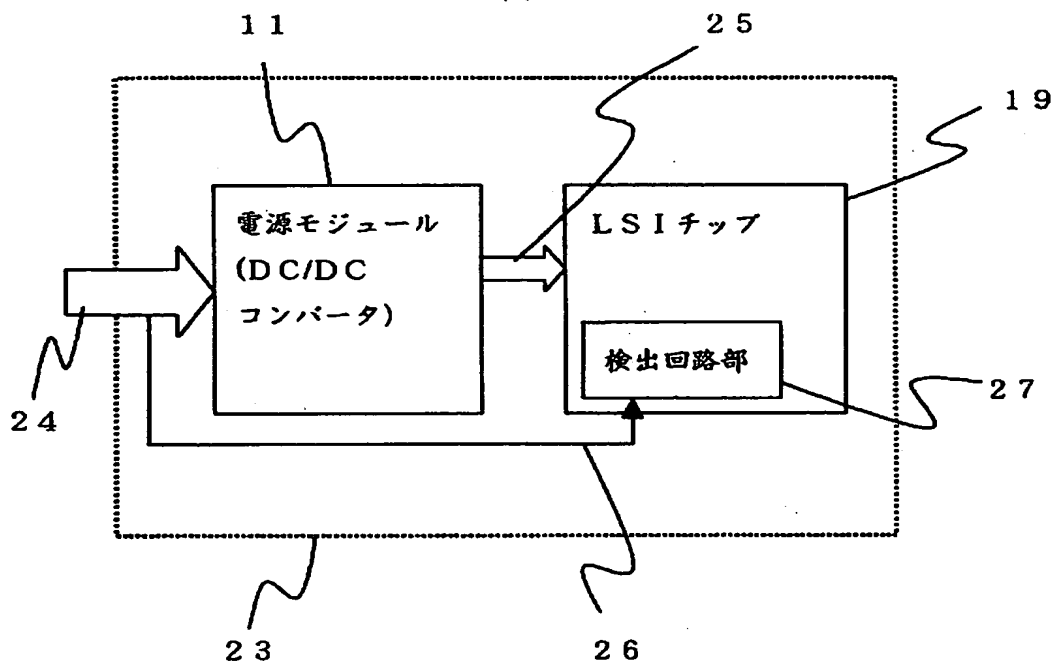
【図9】

図9



【図10】

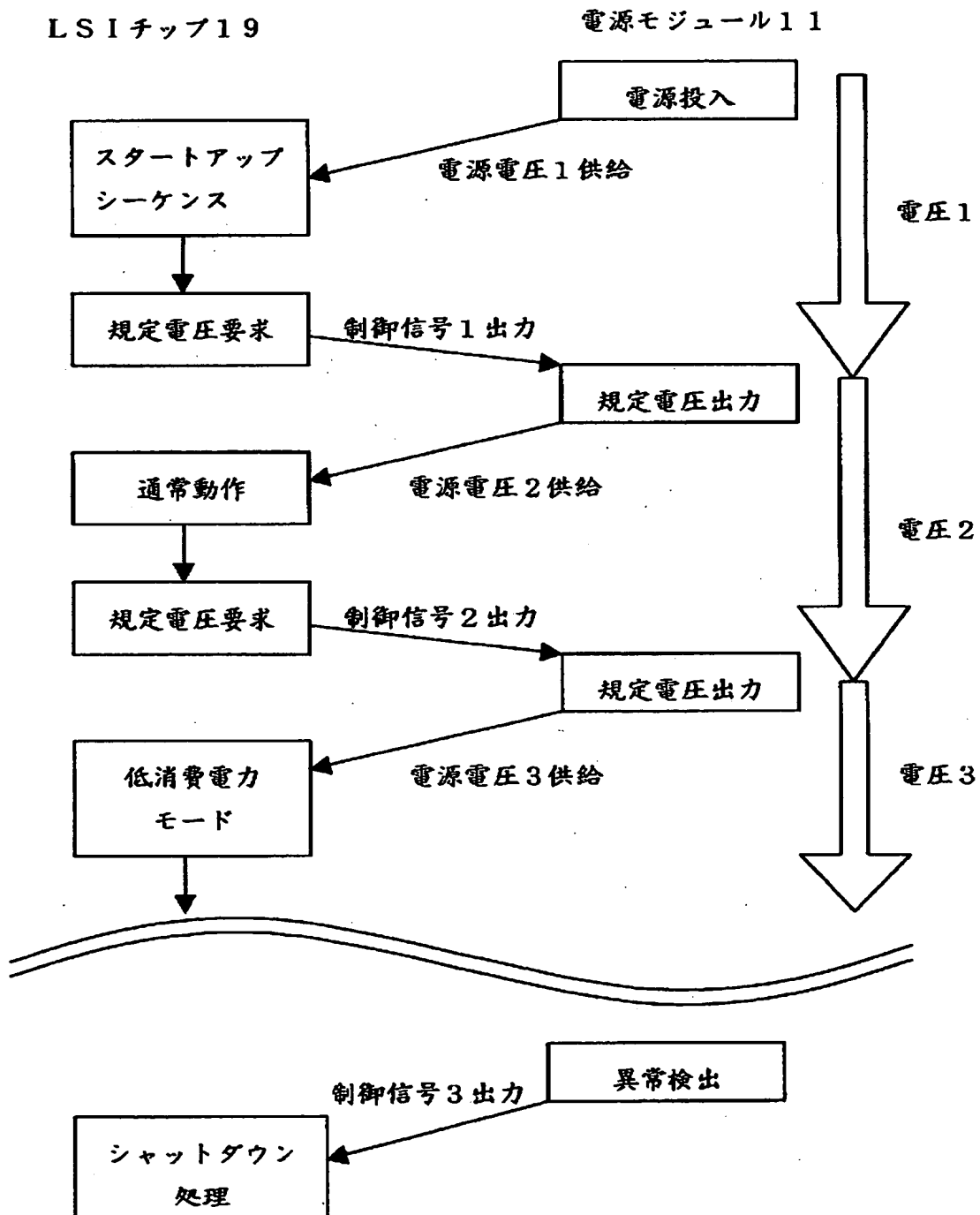
図10





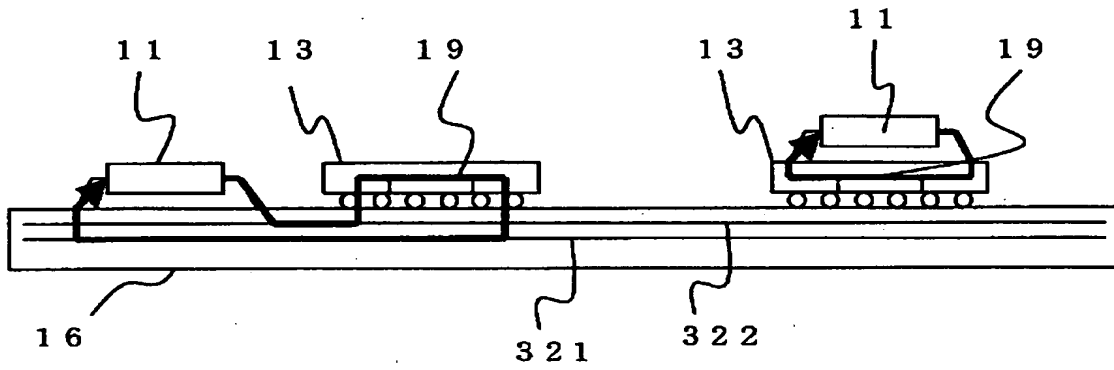
【図 11】

図 11



【図12】

図12



【書類名】 要約書

【課題】

電源と L S I パッケージとの間の給電距離を縮めることができず、電源変動の影響を受けやすい等の課題があった。

【解決手段】

L S I パッケージ面に電源モジュールを搭載する。

L S I と電源モジュールとの給電距離を縮めることができる。その結果、電源ノイズを低減することができ、電源部の高効率・高速応答、さらに放射電磁界を低減できる。

また、各 L S I パッケージが自己に必要な電源モジュールを有することで、パッケージが搭載される基板に、必要な電源の種類（電圧種） $w$  を減らすことができる。この結果、実装効率の向上が図れ、かつ、基板を安価に製造することができる。

【選択図】 図 1

特2001-275887

認定・付加情報

特許出願の番号	特願2001-275887
受付番号	50101337829
書類名	特許願
担当官	第三担当上席 0092
作成日	平成13年 9月13日

<認定情報・付加情報>

【提出日】	平成13年 9月12日
-------	-------------

次頁無

出願人履歴情報

識別番号 [000005108]

1. 変更年月日 1990年 8月31日

[変更理由] 新規登録

住所 東京都千代田区神田駿河台4丁目6番地  
氏名 株式会社日立製作所